

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288285

(43) 公開日 平成8年(1996)11月1日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/316		H 0 1 L 21/316	X
	21/3065		21/318	B
	21/318		21/302	F
	21/3205		21/88	K

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願平7-92839

(22) 出願日 平成7年(1995)4月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 室山 雅和

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 早川 秀明

東京都品川区北品川6丁目7番35号 ソニー株式会社内

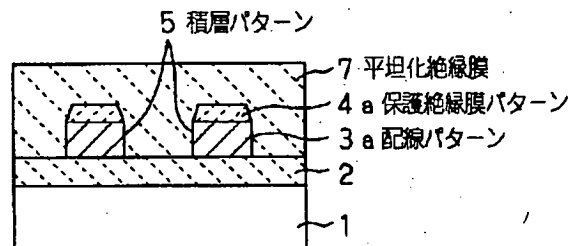
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 絶縁膜の形成方法

(57) 【要約】

【構成】 A l 系材料よりなる配線層3とSiO<sub>x</sub>よりなる保護絶縁膜4とを成膜後、該保護絶縁膜4を加工して保護絶縁膜パターン4aを形成し、この保護絶縁膜パターン4aをマスクとして、配線層3をエッチングすることにより、前記配線パターン3aを形成した後、基板バイアスを印加しながらプラズマCVDを行うことにより全面に亘って平坦化絶縁膜7を成膜する。基板バイアスを印加しながら行うプラズマCVDの後、フロー効果を有する成膜条件によって絶縁膜を成膜し、2層構造の平坦化絶縁膜を形成してもよい。

【効果】 配線パターン3aやその下の半導体素子にダメージを与えることなく、微細化・多層化した配線パターン3aを十分に平坦化可能な平坦化絶縁膜7を形成できる。このため、さらにこの上に形成される配線パターンの加工精度、信頼性を向上させることができる。



平坦化絶縁膜の成膜終了

## 【特許請求の範囲】

【請求項1】 所定の配線パターンが形成されてなる基板に対して、少なくとも途中までは基板バイアスを印加しながらプラズマCVDを行うことにより、基板全面に亘って平坦化絶縁膜を成膜するに際して、予め、前記配線パターン上にこれと共通パターンを有する保護絶縁膜パターンを形成しておくことを特徴とする絶縁膜の形成方法。

【請求項2】 前記配線パターンは、基板上の配線層の上に所定の保護絶縁膜パターンを形成した後、該保護絶縁膜パターンをマスクとしたエッチングを行うことによって形成することを特徴とする請求項1記載の絶縁膜の形成方法。

【請求項3】 前記配線パターンがA1系材料膜を含むことを特徴とする請求項1記載の絶縁膜の形成方法。

【請求項4】 前記保護絶縁膜パターンが酸化シリコン系材料、窒化シリコン系材料、酸化窒化シリコン系材料の少なくともいずれかよりなることを特徴とする請求項1記載の絶縁膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、絶縁膜の形成方法に関し、特に、微細化・多層化した配線パターンを有する基体を、該配線パターンへのダメージを抑制しながら平坦化できる絶縁膜の形成方法に関する。

## 【0002】

【従来の技術】 近年、半導体デバイスの微細化・高集積化に伴って配線パターンは微細化・多層化の方向に進んでいる。しかし、半導体デバイスの微細化・高集積化によって層間絶縁膜の段差が大きくなり急峻となると、その上に形成される配線パターンの加工精度、信頼性は低下し、半導体デバイス自体の信頼性をも低下させる要因にもなる。このため、主としてスパッタリング法により成膜されるA1系材料よりなる配線層の段差被覆性を大幅に改善することが困難である現在、層間絶縁膜の平坦性を向上させることが必要とされている。

【0003】 従来、層間絶縁膜を平坦化する技術としては、例えばSOG (Spin On Glass) を塗布する方法、絶縁膜をさらにレジスト材料で平坦化した後にこれらをまとめてエッチバックする方法、熱処理により絶縁膜をリフローさせる方法等が知られている。

【0004】 しかし、これらの技術を適用して層間絶縁膜を成膜しても、配線間隔が広い配線パターン上では、平坦化が不足してさらにこの上に形成される配線パターンの加工精度や信頼性が低下し、逆に配線間隔が狭い配線層上では、この配線パターン間を層間絶縁膜で十分に埋め込むことができずに「す」を発生させてしまうという問題があった。

【0005】 そこで、高いアスペクト比を有する配線パターン上に「す」を発生させることなく、平坦化された

層間絶縁膜を形成するための技術として、オゾンと有機シラン系化合物のガスを用いて常圧にてCVD (化学的気相成長) を行う方法や、水を添加した有機シラン系化合物のガスを用いてプラズマCVDを行う方法等、フロー効果を有する成膜方法が注目されている。

【0006】 また、層間絶縁膜の成膜に、バイアスECRプラズマCVD法を適用することも注目されている。これは、ECR (電子サイクロトロン共鳴) を利用して低ガス圧下で高いイオン電流密度を有するECRプラズマを生成させて段差被覆性 (ステップ・カバレッジ) に優れた膜を成膜すると共に、上記プラズマ生成とは独立に基板バイアスを制御してイオン・スパッタ作用による平坦化効果も併せて狙う手法である。このバイアスECRプラズマCVDにより成膜されたSiO<sub>x</sub> 膜は、Si-OH基の含有量の低い緻密な膜質を持つことが知られている。

## 【0007】

【発明が解決しようとする課題】 ところで、近年の単色光源を用いたリソグラフィによってA1系材料よりなる配線層をパターンニングする場合、該配線層上に反射防止膜を設けることが必須となっている。例えば、図6に示されるような、半導体基板101上の層間絶縁膜102の上に形成された配線層103をパターンニングするに際しては、反射防止膜104を成膜してから所望のパターンを有するレジストマスク106を形成する。しかしながら、図7に示されるように、実際に配線層103のエッチングを行って配線パターン103aを形成すると、このエッジが反射防止膜104よりも後退してしまうことがある。これは、例えば反射防止膜104としてTiN膜を用いた場合、該TiN膜よりもA1系材料よりなる配線層103の方が、横方向のエッチングレートが速いためである。

【0008】 そして、このように配線パターン103aのエッジが後退し、反射防止膜104がひさし状に突出しているウェハに対して平坦化絶縁膜を形成しようとすると、特に、配線パターン103aの間隔が狭い場合には、水を添加した有機シラン系化合物のガスを用いたプラズマCVDや、オゾンと有機シラン系化合物のガスを用いた常圧CVDを適用しても、図8に示されるように、平坦化絶縁膜105による十分な埋め込みができなくなる。

【0009】 一方、バイアスECRプラズマCVDを適用すれば、配線パターン103a上に反射防止膜104がひさし状に残っていても、該反射防止膜104のひさし上に堆積した膜をスパッタ作用により除去することができるため、図9に示されるように、配線パターン103の間を層間絶縁膜115によって十分に埋め込むことが可能である。しかしながら、その反面、上述したスパッタ作用によって、配線パターン103aや、該配線パターン103aを介して既に形成されている半導体素子

にダメージを与えてしまう虞れがある。

【0010】そこで本発明はかかる従来の実情に鑑みて提案されたものであり、優れた埋め込み特性を維持しつつ、配線パターンや半導体素子にダメージを与えない絶縁膜の形成方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る絶縁膜の形成方法は、上述の目的を達成するために提案されたものであり、所定の配線パターンが形成されてなる基板に対して、少なくとも途中まで基板バイアスを印加しながらプラズマCVDを行うことにより、基板全面に亘って平坦化絶縁膜を成膜するに際して、予め、前記配線パターン上にこれと共通パターンを有する保護絶縁膜パターンを形成しておくものである。

【0012】ここで、前記配線パターンは、基板上の配線層の上に所定の保護絶縁膜パターンを形成した後、該保護絶縁膜パターンをマスクとしたエッチングを行うことによって形成して好適である。

【0013】また、前記配線パターンはAl系材料膜を含み、前記保護絶縁膜パターンは酸化シリコン( $\text{SiO}_x$ )系材料、窒化シリコン( $\text{SiN}_x$ )系材料、酸窒化シリコン( $\text{SiO}_x\text{N}_y$ )系材料の少なくともいずれかよりなって好適である。

【0014】本発明においては、前記平坦化絶縁膜を、基板バイアスを印加しながら行うプラズマCVDのみによって成膜してもよいが、途中から、他の成膜条件によって成膜してもよい。但し、平坦化効果に優れた膜を成膜する必要があることから、水を添加した有機シラン系化合物のガスを用いたプラズマCVDや、有機シラン系化合物とオゾン( $\text{O}_3$ )を用いた常圧CVD等、フロー効果を有する成膜方法を適用して好適である。

【0015】

【作用】本発明を適用すると、平坦化絶縁膜の埋め込み特性を向上させるために基板バイアスを印加しても、保護絶縁膜パターンによって配線パターンが保護されるため、該配線パターンがエッチングされる虞れがない。そして、この配線パターンを介して既に形成されている半導体素子にダメージを与えることもない。

【0016】また、保護絶縁膜パターンを配線層のエッチングのためのマスクとして用いる場合には、該配線層のエッチング時にレジストマスクを使用する必要がない。このため、配線パターンの側壁面等にレジストマスクに起因する残渣が残る心配がなく、この残渣によって平坦化絶縁膜のカバレッジが劣化したり、残渣に吸蔵された塩素系化合物や塩素系ガスによって配線パターンが腐蝕するといった問題が起こらない。

保護絶縁膜4の成膜条件

導入ガス	: $\text{SiH}_4$	流量100 sccm
	$\text{O}_2$	流量200 sccm
圧力	: 1300 Pa	

【0017】なお、保護絶縁膜パターンを配線層のエッチングのためのマスクとして用いる場合、配線層上の保護絶縁膜を予めパターニングしておくこととなるが、このパターニングのためのフォトリソグラフィを行うに際して、用いる露光光の波長や下地である配線層の複素屈折率に応じて保護絶縁膜の組成および膜厚を適正化しておけば、必ずしも反射防止膜を用いる必要がない。これは、保護絶縁膜の光学定数および膜厚を適正化して、露光光がフォトリソグロウ中に形成する定在波の振幅比を極小となす条件、即ち、反射防止条件を満たすものとしておけば、配線層からの反射光の影響をあまり受けない状態でフォトリソグラフィを行うことができるためである。

【0018】

【実施例】以下、本発明に係る絶縁膜の形成方法を適用した具体的な実施例について説明する。

【0019】以下の実施例では、少なくとも途中まで平坦化絶縁膜を成膜するために、バイアスECRプラズマCVD装置を用いた。このバイアスECRプラズマCVD装置は、マグネトロンにて発生させたマイクロ波の電場と垂直方向の磁場をソレノイドコイルにより発生させることにより、いわゆるECR放電を生じさせて、高密度プラズマを得るものである。その一方、ウェハを載置するサセプタにはRF電源が接続されており、ウェハにバイアス電力を印加できるようになされている。したがって、ECRを利用して低ガス圧下で高いイオン電流密度を有するECRプラズマを生成させてステップ・カバレッジに優れた膜を成膜すると共に、上記プラズマ生成とは独立に基板バイアスを制御してイオン・スパッタ作用による平坦化効果も併せて発揮することができる。

【0020】実施例1

本実施例では、半導体基板上に予め所定のトランジスタ素子が形成され、これを被覆する層間絶縁膜上にAl系材料よりなる配線パターンが形成されたウェハに対してさらに平坦化絶縁膜を形成した。なお、上記配線パターンは保護絶縁膜パターンをマスクとしたエッチングにより形成し、上記平坦化絶縁膜は上述したバイアスECRプラズマCVD装置を用いて成膜した。

【0021】具体的には、図1に示されるように、図示しないトランジスタ素子が形成された半導体基板1上に $\text{SiO}_2$ 等よりなる層間絶縁膜2、Al系材料よりなる配線層3がこの順に形成されたウェハに対して、下記の成膜条件にて、 $\text{SiO}_x$ よりなる保護絶縁膜4を200nmなる膜厚に成膜した後、所定パターンを有するレジストマスク6を形成した。

【0022】

基板温度 : 400℃  
RFバイアス電力 : 500W (13.56MHz)

なお、この成膜は、通常の平行平板型のプラズマCVD装置によって行った。

【0023】また、レジストマスク6のパターニングのためのフォトリソグラフィに際しては、保護絶縁膜4の光学定数および膜厚が反射防止条件を満たしていたため、配線層3からの反射光の影響を受けることはなかつ

た。  
【0024】そして、上述のレジストマスク6をマスクとして、保護絶縁膜4を下記のエッチング条件によりパターニングした。

【0025】

保護絶縁膜4のエッチング条件

エッチングガス : CHF<sub>3</sub> 流量 200 sccm  
O<sub>2</sub> 流量 100 sccm  
RFバイアス電力 : 400W (13.56MHz)  
圧力 : 0.26Pa

なお、このエッチングはマグネトロンRIE（反応性イオンエッチング）装置によって行った。

成された保護絶縁膜パターン4aをマスクとして、下記のエッチング条件にて配線層3のパターニングを行った。

【0026】これにより、図2に示されるような保護絶縁膜パターン4aを得た。その後、レジストマスク6をアッシングにより除去し、今度は、上述のようにして形

【0027】

配線層3のエッチング条件

エッチングガス : BCl<sub>3</sub> 流量 100 sccm  
Cl<sub>2</sub> 流量 10 sccm  
マイクロ波電力 : 300W (2.45GHz)  
RFバイアス電力 : 200W (13.56MHz)  
圧力 : 0.40Pa

なお、このエッチングは、ECRプラズマ・エッチング装置によって行った。

【0029】その後、図4に示されるように、上述のような積層パターン5が形成されたウェハの全面に亘って、下記の成膜条件にてSiO<sub>x</sub>を平坦化絶縁膜7を1.0μmなる膜厚に成膜した。

【0030】

【0028】これにより、図3に示されるように、配線パターン3a上に保護絶縁膜パターン4aが積層される積層パターン5が形成された。

平坦化絶縁膜7の成膜条件

導入ガス : SiH<sub>4</sub> 流量 70 sccm  
N<sub>2</sub>O 流量 70 sccm  
圧力 : 0.1Pa  
マイクロ波電力 : 2000W (2.45GHz)  
RFバイアス電力 : 2000W (13.56MHz)

なお、この成膜は、バイアスECRプラズマCVD装置によって行った。

【0032】

【0031】その後、下記の条件のアニール処理を行っ

アニール条件

導入ガス : 3%H<sub>2</sub> 含有N<sub>2</sub> ガスにて希釈したもの  
流量 8000 sccm  
アニール時間 : 60分  
圧力 : 大気圧  
アニール温度 : 400℃

なお、導入ガスは、平坦化絶縁膜7の成膜のために用いた原料ガスを希釈したものである。

【0033】上述のようにして平坦化絶縁膜7を成膜すると、基板バイアスの印加によるスパッタ作用により、非常に優れた埋め込み特性を示し、「す」を発生させることなく、ウェハを平坦化することができた。なお、上

記スパッタ作用により、保護絶縁膜パターン4aのエッジがエッチングされたが、該保護絶縁膜パターン4aによって保護されている配線パターン3aがエッチングされることはなかった。また、該配線パターン3aを介して半導体素子がダメージを受けることもなかった。

【0034】ここで、上述のウェハに対して腐蝕試験を

行った。この腐蝕試験の条件を下記に示す。

【0035】腐蝕試験条件

塩酸濃度 : 5%  
試験時間 : 5分  
溶液温度 : 25℃

この腐蝕試験の結果、配線パターン3aには腐蝕が見られず、成膜された平坦化絶縁膜6が、良好な耐水性、耐腐蝕性を示すものであることがわかった。なお、この腐蝕試験後さらに、長時間に亘って大気中に放置しても配線パターン3aが腐蝕することはなかった。

【0036】また、トランジスタ特性についても調べたが、何等問題はなく、平坦化絶縁膜7の成膜工程がトランジスタ素子に何等影響を与えていなかったことがわか

第1の平坦化絶縁膜8の成膜条件

導入ガス	: SiH <sub>4</sub>	流量70sccm
	N <sub>2</sub> O	流量70sccm
圧力	: 0.1Pa	
マイクロ波電力	: 2000W	(2.45GHz)
RFバイアス電力	: 2000W	(13.56MHz)

なお、この成膜は、バイアスECRプラズマCVD装置【0040】によって行った。

第2の平坦化絶縁膜9の成膜条件

導入ガス	: TEOS	流量1000sccm
	O <sub>3</sub>	流量7000sccm
圧力	: 常圧	
基板温度	: 400℃	

なお、この成膜は、常圧CVD装置によって行った。

【0041】これにより、図5に示されるように、積層パターン5が、膜厚300nmの第1の平坦化絶縁膜8および膜厚500nmの第2の平坦化絶縁膜9によって被覆された。その後、実施例1と同様のアニール処理を行った。

【0042】上述のようにして平坦化絶縁膜を成膜すると、「す」を発生させることなく、ウェハを平坦化することができた。なお、第1の平坦化絶縁膜8の成膜時には、基板バイアスの印加によるスパッタ作用により、保護絶縁膜パターン4aのエッジがエッチングされたが、該保護絶縁膜パターン4aによって配線パターン3aは保護され、半導体素子へのダメージも防止できた。また、第1の平坦化絶縁膜8が非常に優れたカバレッジおよび埋め込み特性にて成膜されたため、第2の平坦化絶縁膜9の成膜時には、十分に配線パターン3a間を埋め込むことができた。なお、第1の平坦化絶縁膜8の成膜時に保護絶縁膜パターン4aのエッジがエッチングされ、積層パターン5の上部がテーパー状となったことが、第2の平坦化絶縁膜9成膜時にフロー効果を助ける結果となり、埋め込みが一層容易となっている。

【0043】ここで、実施例1と同様にして腐蝕試験を行ったところ、配線パターン3aには腐蝕が見られず、成膜された平坦化絶縁膜8、9が、良好な耐水性、耐腐

った。

【0037】実施例2

本実施例では、積層パターン5が形成されたウェハに対して、バイアスECRプラズマCVDを行った後、O<sub>3</sub>とTEOSとを用いた常圧CVDを行うことにより2層構造の平坦化絶縁膜を成膜した。

【0038】具体的には、実施例1と同様にして、図3に示されるような、配線パターン3a上に保護絶縁膜パターン4aが積層されてなる積層パターン5を形成した後、ウェハの全面に亘って、第1の平坦化絶縁膜8と第2の平坦化絶縁膜9とを続けて成膜した。各成膜条件を下記に示す。

【0039】

蝕性を示すものであることがわかった。なお、この腐蝕試験後さらに、長時間に亘って大気中に放置しても配線パターン3aが腐蝕することはなかった。また、トランジスタ特性についても調べたが、何等問題はなく、本実施例による平坦化絶縁膜8、9の成膜工程がトランジスタ素子に何等影響を与えていなかったことがわかった。

【0044】以上、本発明に係る絶縁膜の形成方法について説明したが、本発明は上述の実施例に限定されるものではないことはいうまでもない。例えば、上述の実施例においては、保護絶縁膜4としてSiO<sub>x</sub>膜を、シランを用いて、平行平板型のプラズマCVD装置によって成膜したが、原料ガスは有機シリコン系化合物であってもよいし、CVD装置も従来公知のものがいづれも使用可能である。但し、既に形成されている配線層3にダメージを与えないように成膜する必要があるため、反応室内にプラズマを発生させながら低温で成膜して好適である。また、保護絶縁膜4として、SiN<sub>x</sub>膜やSiO<sub>x</sub>N<sub>y</sub>膜を成膜してもよい。

【0045】なお、上述した実施例においては、この保護絶縁膜4のパターニングに際して反射防止膜を用いなかったが、TiN膜等従来公知の反射防止膜を設けてからフォトリソグラフィを行ってもよい。

【0046】また、平坦化絶縁膜7あるいは第1の平坦化絶縁膜8の成膜条件も上述したものに限られず、基板

バイアスを印加しながらプラズマCVDが行えるものであれば、ECRプラズマCVD装置の他、誘導結合プラズマCVD(ICP-CVD)装置、ヘリコン波プラズマCVD装置のいずれを適用してもよい。もちろん、原料ガスの種類等も何等限定されない。

【0047】さらに、実施例2においては、第1の平坦化絶縁膜8を途中まで成膜した後、 $O_3$ とTEOSとを用いた常圧CVDを行って、第2の平坦化絶縁膜9を成膜したが、この第2の平坦化絶縁膜9の成膜条件も上述したものに限定されない。当然、TEOSの代わりに、その他のアルコキシシラン類を用いてもよいし、鎖状ポリシロキサン類、環状ポリシロキサン類を用いてもよい。

【0048】なお、第2の平坦化絶縁膜9はフロー効果に優れた膜であればよい。水と有機シラン系化合物とを用いたプラズマCVDによって該第2の平坦化絶縁膜9を成膜してもよい。

【0049】その他、本発明においては、配線層3より下層のウェハの構成も何等限定されない。

【0050】

【発明の効果】以上の説明から明かなように、本発明を適用すると、配線パターンやその下の半導体素子にダメージを与えることなく、微細化・多層化した配線パターンを十分に平坦化可能な平坦化絶縁膜を形成できる。このため、さらにこの上に形成される配線パターンの加工精度、信頼性を向上させることができる。

【0051】したがって、本発明によって平坦化絶縁膜が形成された半導体装置の信頼性および歩留まりを高めることも可能となる。

【図面の簡単な説明】

【図1】基板上に層間絶縁膜および配線層が形成されるウェハに保護絶縁膜およびレジストマスクが成膜された状態を示す模式的断面図である。

【図2】図1のウェハにおける保護絶縁膜のパターニングを行い、保護絶縁膜パターンが形成された状態を示す模式的断面図である。

【図3】図2のウェハにおける配線層のエッチングを行い、配線パターンと保護絶縁膜パターンとからなる積層パターンが形成された状態を示す模式的断面図である。

【図4】図3のウェハに対して、基板バイアスを印加しながらCVDを行い、平坦化絶縁膜を成膜した状態を示す模式的断面図である。

【図5】図3のウェハに対して、基板バイアスを印加しながらCVDを行った後、 $O_3$ とTEOSを用いた常圧CVDを行って、第1の平坦化絶縁膜と第2の平坦化絶縁膜とを成膜した状態を示す模式的断面図である。

【図6】基板上に層間絶縁膜、配線層、反射防止膜が形成されてなるウェハにレジストマスクが形成された状態を示す模式的断面図である。

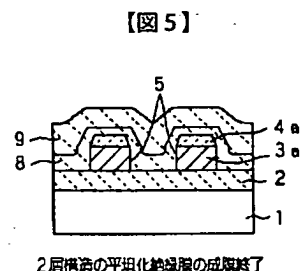
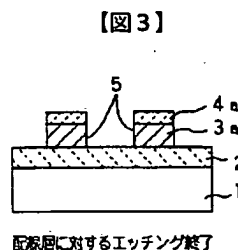
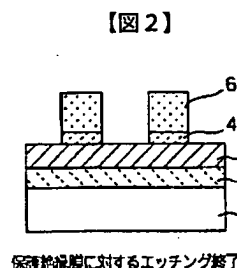
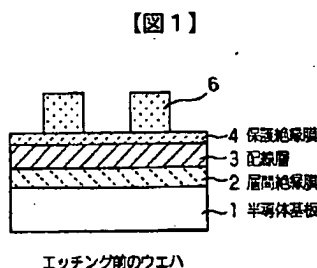
【図7】図6のウェハにおけるレジストマスクをマスクとしたエッチングを行い、配線パターンが形成された状態を示す模式的断面図である。

【図8】図7のウェハにおけるレジストマスクを除去した後、 $O_3$ とTEOSを用いた常圧CVDを行って、平坦化絶縁膜を成膜した状態を示す模式的断面図である。

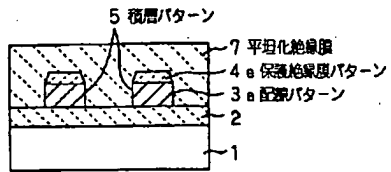
【図9】図7のウェハにおけるレジストマスクを除去した後、基板バイアスを印加しながらCVDを行って、平坦化絶縁膜を成膜した状態を示す模式的断面図である。

【符号の説明】

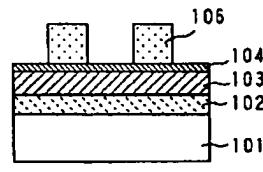
- 1 半導体基板
- 2 層間絶縁膜
- 3 配線層
- 4 保護絶縁膜
- 5 積層パターン
- 6 レジストマスク
- 7 平坦化絶縁膜



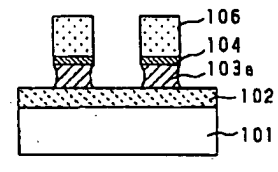
【図4】



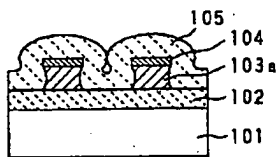
【図6】



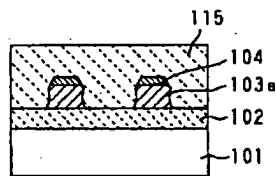
【図7】



【図8】



【図9】



JP-A 8-288285

Technical indication field

25 (74) Attorney Akira Koike (two others)



(54) Title of the Invention

METHOD OF FORMING INSULATING FILM

(57) [Abstract]

[Construction]

5           The method includes forming a wiring layer 3 made of  
an aluminum material and a protection insulating film 4 made  
of  $\text{SiO}_x$  on a substrate, processing the protection insulating  
film 4 to form protection insulating-film patterns 4a, and  
etching the wiring layer 3 with the protection  
10 insulating-film patterns 4a served as a mask, thereby  
forming wiring patterns 3a. Thereafter, while applying a  
bias to the substrate, the method carries out the plasma CVD  
to form a planarized insulating film 7 on the whole surface  
of the substrate. After the plasma CVD carried out while  
15 applying the bias to the substrate, the method may form an  
insulating film under a film formation condition having the  
flow effect, and may form a double-layer structured  
planarized insulating film.

[Effect]

20           The method will form the planarized insulating film  
7 capable of sufficiently planarized the fine and  
multi-layered wiring patterns 3a, without damaging the  
wiring patterns 3a and other semiconductor elements  
thereunder. Accordingly, the method will enhance the

processing accuracy and reliability of the wiring patterns formed thereon.

[Claims]

[Claim 1] A method of forming an insulating film, in forming  
5 a planarized insulating film on the whole surface of a substrate having given wiring patterns formed, by applying a plasma CVD while applying a bias to the substrate at least until part of the way, wherein the method comprises:

forming in advance protection insulating-film  
10 patterns having patterns common to the given wiring patterns on the wiring patterns.

[Claim 2] A method of forming an insulating film as claimed in Claim 1, wherein the formation of the wiring patterns comprises:

15 forming given protection insulating-film patterns on a wiring layer on the substrate, and then

etching by using the protection insulating-film patterns as a mask.

[Claim 3] A method of forming an insulating film as claimed  
20 in Claim 1, wherein the wiring patterns include a film made of an aluminum material.

[Claim 4] A method of forming an insulating film as claimed in Claim 1, wherein the protection insulating-film patterns are made of at least any one of a silicon oxide based

material, silicon nitride based material, and silicon nitride oxide based material.

[Detailed Description of the Invention]

[0001]

5 [Industrial Applicable Field] The present invention relates to a method of forming an insulating film, specifically to the method of forming an insulating film that flattens a substrate having fine and multi-layered wiring patterns, while restraining the damage to the wiring  
10 patterns.

[0002]

[Conventional Art] Accompanied with the recent trend for the fine patterning and high integration of semiconductor devices, the wiring patterns have been micro-structured and  
15 multi-layered year by year. As the step of an inter-layer insulating film becomes larger and sharper with the trend for the fine patterning and high integration of semiconductor devices, the processing accuracy and reliability of the wiring patterns formed thereon becomes  
20 deteriorated, which causes the semiconductor device to lower the reliability of itself. Today, it is considered as difficult to improve the step coverage of a wiring layer made of an aluminum material, mainly formed by the sputtering method; and therefore, it is conceived as

necessary to enhance the flatness of the inter-layer insulating film.

[0003] As a conventional technique for planarizing the inter-layer insulating film, the followings are generally  
5 known: the method of applying SOG (Spin On Glass), the method of planarizing the insulating film with a resist material, and then etching them back at one time, and the method of passing the insulating film through the reflow melting, etc.

[0004] However, these methods invite the following  
10 problems.

To apply any of these methods to form an inter-layer insulating film effects the deficiency of flatness on the wiring patterns having wide wiring spacings, and further effects the deterioration of processing accuracy and  
15 reliability of the wiring patterns formed thereon. In reverse, on the wiring patterns having narrow wiring spacings, these methods are found impossible of embedding the spacings between the wiring patterns sufficiently with the inter-layer insulating film, so that they can create  
20 'voids'.

[0005] Accordingly, as a technique for forming a planarized inter-layer insulating film on the wiring patterns having a high aspect ratio without creating the 'voids', the following methods have attracted considerable attention:  
25 the method that applies the CVD (Chemical Vapor Deposition)

under a normal pressure using the gas of ozone and organic silane system compound, the method that applies the plasma CVD using the gas of organic silane system compound with hydrogen oxide added, and other film forming methods having  
5 the flow effect.

[0006] A technique is also noticed which applies the bias ECR plasma CVD method to the formation of an inter-layer insulating film. This technique, utilizing the ECR (Electron Cyclotron Resonance), generates ECR plasma having  
10 a high ion-current density under a low gas pressure to form a film that exceeds in the step coverage. It also intends to produce the planarizing effect by the ion spattering effect, while controlling a bias to the substrate independently from generating the plasma. The  $\text{SiO}_x$  film  
15 formed by this bias ECR plasma CVD is known to have a minute film quality with a low content of Si-OH group.

[0007]

[Problems to Be Solved by the Invention] When patterning a wiring layer made of an aluminum material by means of the  
20 recent lithography using a monochromatic light source, it is an indispensable condition to provide an antireflection coating on the wiring layer. As shown in Fig. 6, for example, when patterning a wiring layer 103 formed on an inter-layer insulating film 102 on a semiconductor substrate 101, it is  
25 essential to form an antireflection coating 104 and then

form a resist film 106 having a desired pattern. However,  
as shown in Fig. 7, etching the wiring layer 103 in practice  
to form wiring patterns 103a will give a result that the  
edges of the wiring patterns recede from the antireflection  
5 coating 104. This is because, when using a TiN film as the  
antireflection coating 104, the lateral etching rate of the  
wiring layer 103 made of an aluminum material is faster than  
that of the TiN film.

[0008] And, a trial to form a planarized insulating film 105  
10 on such a wafer that the edges of the wiring patterns 103a  
recede and the antireflection coating 104 projects in an  
eave-form will invite a result that a sufficient embedding  
by the planarized insulating film 105 becomes impossible,  
as shown in Fig. 8, even if the plasma CVD using the gas of  
15 organic silane system compound with hydrogen oxide added or  
the normal pressure CVD using the gas of ozone and organic  
silane system compound is applied, especially in case the  
spacing between the wiring patterns 103a is narrow.

[0009] On the other hand, to apply the bias ECR plasma CVD,  
20 even if there remains the antireflection coating 104 in an  
eave-form on the wiring patterns 103a, will remove the film  
deposited on the eave of the antireflection coating 104 by  
the spattering effect. Therefore, it is possible to  
sufficiently embed an inter-layer insulating film 115  
25 between the wiring patterns 103a, as shown in Fig. 9. On

the other hand, however, there is an apprehension that the above spattering effect will give damage to the wiring patterns 103a and the already formed semiconductor elements through the wiring patterns 103a.

5 [0010] The present invention has been made in view of such circumstances of the conventional techniques, and an object of the invention is to provide a method of forming an insulating film that does not give damage to the wiring patterns and the semiconductor elements while maintaining  
10 an excellent embedding performance.

[0011]

[Means to Solve the Problems] The method of an insulating film according to the present invention is a proposal for accomplishing the above object. The method includes, in  
15 forming a planarized insulating film on the whole surface of a substrate having given wiring patterns formed, by applying a plasma CVD while applying a bias to the substrate at least until part of the way, forming in advance protection insulating-film patterns having patterns common to the  
20 given wiring patterns on the wiring patterns.

[0012] Here, the formation of the wiring patterns is preferred to take the steps of: forming given protection insulating-film patterns on a wiring layer on the substrate, and then etching by using the protection insulating-film  
25 patterns as a mask.

[0013] It is preferable that the wiring patterns include a film made of an aluminum material, and the protection insulating-film patterns are made of at least any one of a silicon oxide based material ( $\text{SiO}_x$ ), silicon nitride based material ( $\text{SiN}_x$ ), and silicon nitride oxide based material ( $\text{SiO}_x\text{N}_y$ ).

[0014] In this invention, the formation of the planarized insulating film may be made only by the plasma CVD while applying a bias to the substrate; however, it may be made by the other film formation condition from part of the way. However, in view of the necessity of forming the film that exceeds in the planarizing effect, it is preferred to apply the film formation method having the flow effect, such as the plasma CVD using the gas of organic silane system compound with hydrogen oxide added, or the normal pressure CVD using the gas of ozone ( $\text{O}_3$ ) and organic silane system compound.

[0015]

[Function] When this invention is applied, a bias is applied to the substrate in order to enhance the embedding performance of the planarized insulating film; however, the wiring patterns are protected by the protection insulating-film patterns, and there is not a possibility that the wiring patterns are etched accordingly. Neither



is there a possibility of damaging the already formed semiconductor elements through the wiring patterns.

[0016] When the protection insulating-film patterns are used as the mask for etching the wiring layer, the etching  
5 of the wiring layer does not need a resist mask.

Accordingly, there is not an apprehension that the residues resulting from the resist mask remain on the sidewalls and so forth of the wiring patterns. Therefore, there is not a possibility that the step coverage of the planarized  
10 insulating film deteriorates due to the residues, or the wiring patterns corrode due to chlorine system compounds or chlorine system gas absorbed by the residues.

[0017] When the protection insulating-film patterns are used as the mask for etching the wiring layer, the protection  
15 insulating film on the wiring layer has to be patterned in advance. In applying the photolithography to this patterning, provided that the composition and the film thickness of the protection insulating film are optimized in accordance with the wavelength of the exposure light to  
20 be used and the complex refractive index of the wiring layer as the bedding, the antireflection coating is not necessarily needed. The reason lies in that the photolithography can be applied without much influence by the reflected light from the wiring layer, since the optical  
25 constant and the film thickness of the protection insulating

film are optimized, and the condition that minimizes the amplitude ratio of the standing wave formed in the photo-resist coating film by the exposure light, that is, the antireflection condition is satisfied.

5 [0018]

[Preferred Embodiments] Embodiments in which the method of forming an insulating film according to the invention is applied will be described in detail.

[0019] The embodiments hereunder employed a bias ECR plasma  
10 CVD apparatus for forming a planarized insulating film, at least until part of the way. The bias ECR plasma CVD apparatus generates the so-called ECR discharge with the electric field of a microwave generated by the magnetron and the magnetic field generated by a solenoid coil,  
15 perpendicular to the electric field, so as to attain high-density plasma. On the other hand, an RF power supply is connected to a susceptor on which a wafer is mounted, so that a bias power can be applied to the wafer. Therefore, it is possible to form a film that exceeds in the  
20 step coverage while generating the ECR plasma having a high ion-current density under a low gas pressure, and it is also possible to exhibit the planarizing effect by the ion sputtering effect while controlling the bias to the substrate independently from generating the plasma.

25 [0020] Embodiment 1

This embodiment prepared a wafer in which given transistors were formed in advance on a semiconductor substrate, an inter-layer insulating film was formed to cover the transistors, and wiring patterns made of an aluminum material were formed on the inter-layer insulating film. And, the embodiment formed a planarized insulating film on the wafer. Here, the wiring patterns were formed by means of the etching that uses protection insulating-film patterns as a mask, and the planarized insulating film was formed by using the bias ECR plasma CVD apparatus.

[0021] In concrete, as shown in Fig. 1, on the wafer in which an inter-layer insulating film 2 made of  $\text{SiO}_2$  and so forth, and a wiring layer 3 made of an aluminum material were formed in this order on a semiconductor substrate 1 having transistor elements (not illustrated) formed, a protection insulating film 4 made of  $\text{SiO}_x$  was formed with the film thickness of 200 nm under the following condition, and then a resist mask 6 having a given pattern was formed.

[0022]

[Condition of Forming the Protection Insulating Film 4]

Introduced gas:  $\text{SiH}_4$  flow rate 100 sccm

$\text{O}_2$  flow rate 200 sccm

Pressure : 1300 Pa

Substrate temperature: 400°C

RF biasing power: 500 W (13.56 MHz)

Here, this film formation was performed by using the normal parallel-plate type plasma CVD apparatus.

[0023] In the photolithography for patterning the resist mask 6, because the optical constant and the film thickness

5 of the protection insulating film 4 were confirmed to satisfy the antireflection condition, any influences by the light reflected from the wiring layer 3 were not found.

[0024] And, using the resist mask 6 as the mask, the protection insulating film 4 was patterned under the  
10 following etching condition.

[0025]

[Etching Condition of the Protection Insulating Film 4]

Etching gas:  $\text{CHF}_3$  flow rate 200 sccm

$\text{O}_2$  flow rate 100 sccm

15 RF biasing power: 400 W (13.56 MHz)

Pressure: 0.26 Pa

Here, this etching was performed by using the magnetron RIE (Reactive Ion Etching) apparatus.

[0026] Thereby, protection insulating-film patterns 4a were  
20 attained, as shown in Fig. 2. Thereafter, the resist mask 6 was removed by the etching; and then the wiring layer 3 was patterned under the following etching condition, using the protection insulating-film patterns 4a as the mask.

[0027]

25 [Etching Condition of the Wiring Layer 3]

Etching gas:  $\text{BCl}_3$  flow rate 100 sccm

$\text{Cl}_2$  flow rate 10 sccm

Microwave power: 300 W (2.45 GHz)

RF biasing power: 200 W (13.56 MHz)

5 Pressure: 0.40 Pa

Here, this etching was performed by using the ECR plasma etching apparatus.

[0028] Thereby, laminated patterns 5 were formed, as shown in Fig. 3, in which the protection insulating-film patterns

10 4a were laminated on the wiring patterns 3a.

[0029] Thereafter, as shown in Fig. 4, so as to cover the whole wafer with the laminated patterns 5 formed, the planarized insulating film 7 of  $\text{SiO}_x$  was formed with the film thickness of 1.0  $\mu\text{m}$  under the following film formation

15 condition.

[0030]

[Condition of Forming the planarized insulating Film 7]

Introduced gas:  $\text{SiH}_4$  flow rate 70 sccm

$\text{N}_2\text{O}$  flow rate 70 sccm

20 Pressure: 0.1 Pa

Microwave power: 2000 W (2.45 GHz)

RF biasing power: 2000 W (13.56 MHz)

Here, this film formation was performed by using the bias ECR plasma CVD apparatus.

[0031] Thereafter, the annealing treatment was performed under the following condition.

[0032]

[Annealing Condition]

5 Introduced gas: dilute gas by N<sub>2</sub> gas containing H<sub>2</sub> at 3%  
flow rate 8000 sccm

Annealing time: 60 minutes

Pressure: atmospheric pressure

Annealing temperature: 400°C

10 Here, the introduced gas was the one in which the source gas used for forming the planarized insulating film 7 was diluted.

[0033] When the planarized insulating film 7 was formed under the above condition, the spattering effect with the  
15 bias application to the substrate, displaying an extremely excellent embedding performance, flattened the wafer without creating the 'voids'. Here, owing to the spattering effect, the edges of the protection insulating-film patterns 4a were etched, but the wiring patterns 3a being  
20 protected by the protection insulating-film patterns 4a were not etched. Neither were damaged the semiconductor elements through the wiring patterns 3a.

[0034] Here, the corrosion test was carried out. The condition of the corrosion test is as follows.

25 [0035]

[Condition of the Corrosion Test]

Concentration of hydrochloric acid: 5%

Testing time: 5 minutes

Temperature of solution: 25°C

5 The result of this corrosion test confirmed that corrosions were not found on the wiring patterns 3a, and the planarized insulating film 7 thus formed showed a satisfactory water resistance and corrosion resistance. After this corrosion test, the test sample was put on the shelf in the free air  
10 for many hours; the result did not find any corrosion on the wiring patterns 3a.

[0036] The transistor characteristics were also checked; but any discrepancies were not found at all, which confirmed that the film formation processing of the planarized  
15 insulating film 7 did not give any influences to the transistor elements.

[0037] Embodiment 2

This embodiment applied the bias ECR plasma CVD to the wafer in which the laminated patterns 5 were formed,  
20 thereafter applied the normal CVD using O<sub>3</sub> and TEOS, thereby formed a double-layer structured planarized insulating film.

[0038] In concrete, as shown in Fig. 3, the laminated patterns 5 were formed in the same manner as the embodiment  
25 1, in which the protection insulating patterns 4a are

laminated on the wiring patterns 3a. Thereafter, a first planarized insulating film 8 and a second planarized insulating film 9 were formed in succession to cover the whole wafer. The film formation condition is as follows.

5 [0039]

[Condition of Forming the first planarized insulating Film 8]

Introduced gas:  $\text{SiH}_4$  flow rate 70 sccm

$\text{N}_2\text{O}$  flow rate 70 sccm

10 Pressure: 0.1 Pa

Microwave power: 2000 W (2.45 GHz)

RF biasing power: 2000 W (13.56 MHz)

Here, this film formation was performed by using the bias ECR plasma CVD apparatus.

15 [0040]

[Condition of Forming the second planarized insulating Film 9]

Introduced gas: TEOS flow rate 1000 sccm

$\text{O}_3$  flow rate 7000 sccm

20 Pressure: normal pressure

Substrate temperature: 400°C

Here, this film formation was performed by using the normal pressure CVD apparatus.

[0041] Thereby, the laminated patterns 5 were coated with  
25 the first planarized insulating film 8 of 300 nm thick and



the second planarized insulating film 9 of 500 nm thick, as shown in Fig. 5. Thereafter, the annealing treatment was carried out in the same manner as the embodiment 1.

[0042] When the planarized insulating films were formed  
5 under the above condition, the wafer was flattened without creating the 'voids'. In forming the first planarized insulating film 8, the edges of the protection insulating-film patterns 4a were etched owing to the spattering effect by the bias application to the substrate.  
10 However, the wiring patterns 3a were protected by the protection insulating-film patterns 4a, and the semiconductor elements were protected from being damaged. Further, since the first planarized insulating film 8 was formed with extremely excellent step coverage and embedding  
15 performance, the spacings between the wiring patterns 3a were sufficiently embedded when the second planarized insulating film 9 was formed. Here, the edges of the protection insulating-film patterns 4a were etched when the first planarized insulating film 8 was formed, and the upper  
20 parts of the laminated patterns 5 were formed tapered, which served the flow effect in forming the second planarized insulating film 9 to facilitate the embedding still more.  
[0043] Here, the corrosion test was carried out in the same manner as the embodiment 1. The test result confirmed that  
25 corrosions were not found on the wiring patterns 3a, and the

planarized insulating films 8, 9 thus formed showed a satisfactory water resistance and corrosion resistance. After this corrosion test, the test sample was put on the shelf in the free air for many hours; the result did not find  
5 any corrosion on the wiring patterns 3a. The transistor characteristics were also checked; but any discrepancies were not found at all, which confirmed that the film formation processing of the planarized insulating films 8, 9 according to this embodiment did not give any influences  
10 to the transistor elements.

[0044] The method of forming the insulating film according to the present invention being thus described with the above embodiments, it should be well understood that the present invention is not confined to the embodiments. For example,  
15 in order to form the  $\text{SiO}_x$  film as the protection insulating film 4, the above embodiments used silane system compound and the parallel-plate type plasma CVD apparatus. However, the source gas may be organic silicon system compound, and the CVD apparatus may be replaced by any of the  
20 conventionally known. However, it is preferred to form the film at a low temperature while generating the plasma in the reaction chamber, since it is necessary not to give any damage to the already formed wiring layer 3 in forming the film. Further, as the protection insulating film 4,  $\text{SiN}_x$   
25 film and  $\text{SiO}_x\text{N}_y$  film may be formed.

[0045] The above embodiments did not use the antireflection coating in the patterning of the protection insulating film 4; however, the photolithography may be applied after providing a conventionally known antireflection coating  
5 such as TiN film.

[0046] Further, the film formation condition of the planarized insulating film 7 or the first planarized insulating film 8 is not restricted to the abovementioned one. As long as it is capable of performing the plasma CVD  
10 while applying a bias to the substrate, either of the inductively coupled plasma CVD (ICP-CVD) apparatus and the helicon wave plasma CVD apparatus may be applied in addition to the ECR plasma CVD apparatus. Naturally, there are not any limits to the type of the source gas.

15 [0047] Further, the embodiment 2 formed the first planarized insulating film 8 until part of the way, and thereafter applied the normal pressure CVD using  $O_3$  and TEOS to form the second planarized insulating film 9. Here, the film formation condition of the second insulating film 9 is not  
20 restricted to the abovementioned. Naturally, in replacement for TEOS, the other alkoxy silanes may be used, and the chain polysiloxanes or the cyclic polysiloxanes may be used.

[0048] Further, since the second planarized insulating film  
25 9 only needs to be a film that exceeds in the flow effect,

the second planarized insulating film 9 may be formed by applying the plasma CVD using the gas of organic silane system compound with hydrogen oxide added.

[0049] Besides, the present invention does not have any  
5 restrictions in regard to the construction of the wafer that underlies the wiring layer 3.

[0050]

[Effect of the Invention] As it is clear from the above descriptions, the method of the invention will form the  
10 planarized insulating film capable of sufficiently planarized the fine and multi-layered wiring patterns, without damaging the wiring patterns and other semiconductor elements thereunder. Accordingly, the method will enhance the processing accuracy and reliability of the  
15 wring patterns formed thereon.

[0051] Therefore, it is also possible to enhance the reliability and the yield of the semiconductor device having the planarized insulating film formed according to this invention.

20 [Brief Description of the Drawings]

Fig. 1 is a typical sectional view illustrating a state that a protection insulating film and a resist mask are formed on a wafer in which an inter-layer insulating film and a wiring layer are formed on a substrate;

Fig. 2 is a typical sectional view illustrating a state that the patterning of the protection insulating film in the wafer in Fig. 1 is carried out, and protection insulating-film patterns are formed;

5        Fig. 3 is a typical sectional view illustrating a state that the etching of the wiring layer in the wafer in Fig. 2 is carried out, and laminated patterns composed of the wiring patterns and the protection insulating-film patterns are formed;

10       Fig. 4 is a typical sectional view illustrating a state that the CVD is applied to the wafer in Fig. 3 while the bias is applied to the substrate, and the planarized insulating film is formed;

Fig. 5 is a typical sectional view illustrating a  
15       state that the CVD is applied to the wafer in Fig. 3 while the bias is applied to the substrate, thereafter the normal pressure CVD using  $O_3$  and TEOS is applied, and a first planarized insulating film and a second planarized insulating film are formed;

20       Fig. 6 is a typical sectional view illustrating a state that a resist mask is formed on a wafer in which the inter-layer insulating film, wiring film, and antireflection film are formed on the substrate;

Fig. 7 is a typical sectional view illustrating a  
25       state that the etching is applied with the resist mask in

the wafer in Fig. 6 served as the mask, and the wiring patterns are formed;

Fig. 8 is a typical sectional view illustrating a state that the resist mask in the wafer in Fig. 7 is removed, thereafter the normal pressure CVD using  $O_3$  and TEOS is applied, and the planarized insulating film is formed; and

Fig. 9 is a typical sectional view illustrating a state that the resist mask in the wafer in Fig. 7 is removed, thereafter the CVD is applied while the bias is applied to the substrate, and the planarized insulating film is formed.

[Description of Reference Numerals]

- 1 ... semiconductor substrate
  - 2 ... inter-layer insulating film
  - 3 ... wiring layer
  - 15 4 ... protection insulating film
  - 5 ... laminated pattern
  - 6 ... resist mask
  - 7 ... planarized insulating film
- 20 Fig. 1: wafer before etching
- Fig. 2: completion of etching to the protection insulating film
- Fig. 3: completion of etching to the wiring layer
- Fig. 4: completion of forming the planarized insulating film

Fig. 5: completion of forming the double-layer structured planarized insulating film

Fig. 6: wafer before etching according to the conventional method

5 Fig. 7: completion of etching to the wiring layer

Fig. 8: completion of forming the planarized insulating film

Fig. 9: completion of forming the planarized insulating film